

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年2月19日 (19.02.2004)

PCT

(10) 国際公開番号
WO 2004/015709 A1

(51) 国際特許分類⁷: G11B 20/24, 20/10, G10K 11/16

(72) 発明者; および

(21) 国際出願番号: PCT/JP2003/009826

(75) 発明者/出願人(米国についてのみ): 小沢一彦
(OZAWA,Kazuhiko) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号ソニー株式会社内 Tokyo (JP).

(22) 国際出願日: 2003年8月4日 (01.08.2003)

(74) 代理人: 角田芳末, 外(TSUNODA,Yoshisue et al.); 〒160-0023 東京都新宿区西新宿1丁目8番1号新宿ビル Tokyo (JP).

(25) 国際出願の言語: 日本語

(81) 指定国(国内): CN, KR, US.

(26) 国際公開の言語: 日本語

添付公開書類:
— 国際調査報告書

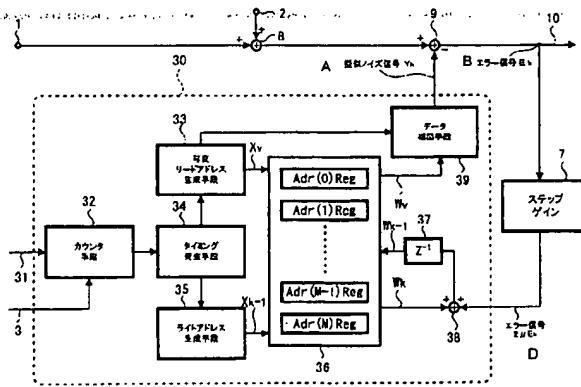
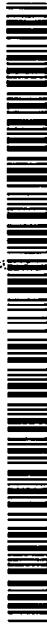
(30) 優先権データ:
特願2002-230368 2002年8月7日 (07.08.2002) JP

(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: ADAPTIVE NOISE REDUCTION METHOD AND DEVICE

(54) 発明の名称: 適応ノイズ低減方法及び装置



A..PSEUDO NOISE SIGNAL Yk
 B..ERROR SIGNAL Ek
 C..OUTPUT S'
 33..VARIABLE READ ADDRESS GENERATION MEANS
 32..COUNTER MEANS
 34..TIMING GENERATION MEANS
 35..WRITE ADDRESS GENERATION MEANS
 39..DATA INTERPOLATION MEANS
 7..STEP GAIN
 D..ERROR SIGNAL 2# Ek

(57) Abstract: A variable cycle pulse signal and a sampling clock are input to counter means (32) in an adaptive signal processing (30). The input cycle is counted by the sampling clock and the count value is input to timing generation means (34). From this timing pulse, an XV address (successively from 0 to M) is generated by variable read address generation means (33) and an Xk-1 address (successively from 0 to M) is generated by write address generation means (35). They are input as a read address and a write address of an accumulator (36). Thus, the noise waveform pitch to be subtracted is changed under

WO 2004/015709 A1

(締葉有)